

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-132680

(43)Date of publication of application : 09.05.2003

(51)Int.Cl. G11C 11/407  
G06F 1/10  
H03L 7/081

(21)Application number : 2002-181633 (71)Applicant : HYNIX SEMICONDUCTOR INC  
(22)Date of filing : 21.06.2002 (72)Inventor : KWON KI-SEOP  
LEE SEONG-HOON

(30)Priority

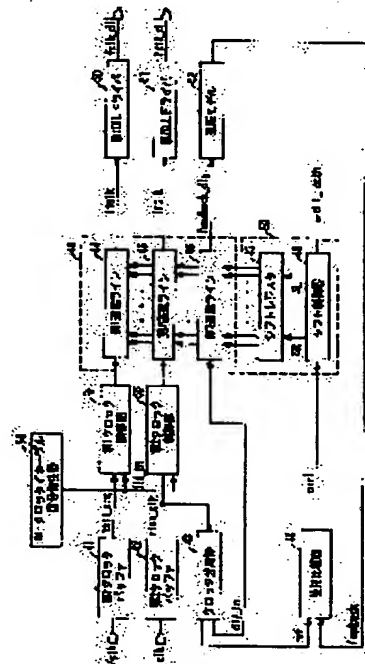
Priority number : 2001 200138872    Priority date : 30.06.2001    Priority country : KR

(54) REGISTER CONTROL DELAY LOCK LOOP, AND SEMICONDUCTOR DEVICE PROVIDE WITH IT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a register control delay lock loop in which current consumption caused by needless toggling of a DLL clock can be reduced and a semiconductor device provided with it.

**SOLUTION:** The semiconductor device having a register control delay lock loop and an internal circuit using a DLL clock outputted from it is provided with a means for generating a clock-enable signal enabling and disabling the DLL clock applied to the internal circuit responding to an activation signal and a non-activation signal for the semiconductor device.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-132680

(P2003-132680A)

(43) 公開日 平成15年5月9日 (2003.5.9)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
G 1 1 C 11/407		G 1 1 C 11/34	3 5 4 C 5 B 0 7 9
G 0 6 F 1/10		H 0 3 L 7/08	J 5 J 1 0 6
H 0 3 L 7/081		G 0 6 F 1/04	3 3 0 A 5 M 0 2 4
		G 1 1 C 11/34	3 6 2 S

審査請求 未請求 請求項の数19 O L (全 9 頁)

(21) 出願番号 特願2002-181633(P2002-181633)  
(22) 出願日 平成14年6月21日 (2002.6.21)  
(31) 優先権主張番号 2001-038872  
(32) 優先日 平成13年6月30日 (2001.6.30)  
(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111  
株式会社ハイニックスセミコンダクター  
大韓民国京畿道利川市夫鉢邑牙美里山136-1  
(72) 発明者 權 奇燮  
大韓民国京畿道利川市夫鉢邑牙美里山136-1 株式会社ハイニックスセミコンダクター内  
(74) 代理人 100064724  
弁理士 長谷 照一 (外1名)

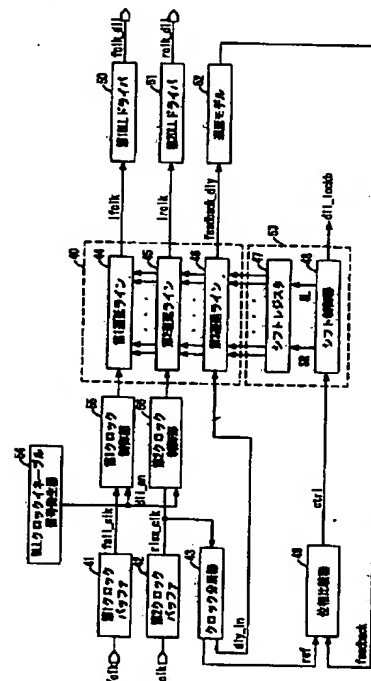
最終頁に続く

(54) 【発明の名称】 レジスタ制御ディレイロックループ及びそれを備えた半導体デバイス

(57) 【要約】

【課題】 D L Lクロックの無用なトグリングによる電流の消耗を低減することができるレジスタ制御ディレイロックループ及びそれを備えた半導体デバイスを提供する。

【解決手段】 レジスタ制御ディレイロックループ及びそこから出力されたD L Lクロックを用いる内部回路を備えた半導体デバイスにおいて、半導体デバイスに対する作動信号及び非作動信号に応答して、内部回路に印加されるD L Lクロックをイネーブルしたりディスエーブルしたりするクロックイネーブル信号を生成する手段を備える。



## 【特許請求の範囲】

【請求項1】 レジスタ制御ディレイロックループと、そこから出力されたDLクロックを用いる内部回路とを備えた半導体デバイスであって、前記半導体デバイスに対する作動信号又は非作動信号に応答して、前記内部回路に印加される前記DLクロックをイネーブル又はディスエーブルさせるためのクロックイネーブル信号を生成する手段を備えてなることを特徴とする半導体デバイス。

【請求項2】 請求項1に記載の半導体デバイスであって、さらに、入力されたクロックを、前記DLクロックイネーブル信号に応答してオン／オフさせるためのクロック制御手段を備えてなることを特徴とする半導体デバイス。

【請求項3】 請求項1又は2に記載の半導体デバイスにおいて、前記DLクロックイネーブル信号を生成する手段は、前記作動信号又は前記非作動信号に応答してプルダウン又はプルアップ動作を行う駆動手段と、前記半導体デバイスに対する作動信号に応答して前記駆動手段の出力ノードをリセットするリセット手段と、前記駆動手段の前記出力ノードに印加された信号をラッチし、バッファリングして出力する出力手段とを備えていることを特徴とする半導体デバイス。

【請求項4】 請求項3に記載の半導体デバイスにおいて、前記作動信号は、作動指令、読出し指令、列アドレスストロブ指令又は行アドレスストロブ指令からなる信号であることを特徴とする半導体デバイス。

【請求項5】 請求項3に記載の半導体デバイスにおいて、前記非作動信号は、プリチャージ指令であることを特徴とする半導体デバイス。

【請求項6】 半導体デバイス用のレジスタ制御ディレイロックループであって、外部クロックのクロックエッジに同期された内部クロック、遅延監視クロック及び基準クロックを生成する内部クロック生成手段と、前記遅延監視クロックに実際の内部クロック経路の遅延条件を反映させて出力する遅延モデルと、前記遅延モデルの出力信号と前記基準クロックの位相とを比較する位相比較手段と、前記位相比較手段の比較結果に応答して前記遅延監視クロック及び前記内部クロックの遅延量を制御する遅延調整手段と、遅延量が制御された前記内部クロックを入力としてDLクロックを生成するDLLクロック駆動手段と、前記半導体デバイスに対する作動信号及び非作動信号に応答してDLLクロックイネーブル信号を生成するDL

クロックイネーブル信号生成手段と、前記内部クロック生成手段と前記遅延調整手段との間に設けられ、前記DLLクロックイネーブル信号に応答して前記内部クロックを前記遅延調整手段に選択的に伝達するためのクロック制御手段とを備えてなるレジスタ制御ディレイロックループ。

【請求項7】 請求項6に記載のレジスタ制御ディレイロックループにおいて、前記DLクロックイネーブル信号生成手段は、前記作動信号又は前記非作動信号に応答してプルダウン又はプルアップ動作を行う駆動手段と、前記半導体デバイスに対する作動信号に応答して前記駆動手段の出力ノードをリセットするリセット手段と、前記駆動手段の前記出力ノードに印加された信号をラッチし、バッファリングして出力する出力手段を備えてなることを特徴とするレジスタ制御ディレイロックループ。

【請求項8】 請求項6または7に記載のレジスタ制御ディレイロックループにおいて、前記クロック制御手段は、前記DLクロックイネーブル信号と前記内部クロックとの論理積を得る論理積ゲートを有していることを特徴とするレジスタ制御ディレイロックループ。

【請求項9】 請求項6または7に記載のレジスタ制御ディレイロックループにおいて、前記クロック制御手段は、前記DLクロックイネーブル信号及びその反転信号に応答して前記内部クロックをスイッチングするトランスファゲートを有していることを特徴とするレジスタ制御ディレイロックループ。

【請求項10】 半導体デバイス用のレジスタ制御ディレイロックループであって、外部クロックのクロックエッジに同期された内部クロック、遅延監視クロック及び基準クロックを生成する内部クロック生成手段と、前記遅延監視クロックに実際の内部クロック経路の遅延条件を反映させて出力する遅延モデルと、前記遅延モデルの出力信号と前記基準クロックの位相とを比較する位相比較手段と、前記位相比較手段の比較結果に応答して前記遅延監視クロック及び前記内部クロックの遅延量を制御する遅延調整手段と、遅延量が制御された前記内部クロックを入力としてDLクロックを生成するDLLクロック駆動手段と、前記半導体デバイスに対する作動信号又は非作動信号に応答して前記DLLクロック駆動手段をイネーブル又はディスエーブルさせるクロックイネーブル信号を生成する手段とを備えてなるレジスタ制御ディレイロックループ。

【請求項11】 請求項10に記載のレジスタ制御ディレイロックループにおいて、前記DLLクロックイネーブル信号を生成する手段は、

前記作動信号又は前記非作動信号に応答してプルダウン又はプルアップ動作を行う駆動手段と、  
前記半導体デバイスに対する作動信号に応答して前記駆動手段の出力ノードをリセットするリセット手段と、  
前記駆動手段の前記出力ノードに印加された信号をラッチし、バッファリングして出力する出力手段を備えてなることを特徴とするレジスタ制御ディレイロックループ。

【請求項12】 請求項7又は11に記載のレジスタ制御ディレイロックループにおいて、  
前記作動信号は、作動指令、読出し指令、列アドレスストロブ指令又は行アドレスストロブ指令からなる信号であることを特徴とするレジスタ制御ディレイロックループ。

【請求項13】 請求項7又は11に記載のレジスタ制御ディレイロックループにおいて、  
前記非作動信号は、プリチャージ指令であることを特徴とするレジスタ制御ディレイロックループ。

【請求項14】 請求項6又は10に記載のレジスタ制御ディレイロックループにおいて、  
前記内部クロック生成手段は、前記外部クロックを入力として前記内部クロックを生成するクロックバッファと、前記内部クロックを分周して、前記遅延監視クロック及び前記基準クロックを生成するためのクロック分周器を備えていることを特徴とするレジスタ制御ディレイロックループ。

【請求項15】 外部クロック信号の各エッジと同期された内部クロック信号を生成する遅延経路及びレジスタに格納された遅延量を調節するフィードバックループを有する半導体デバイス用レジスタ制御ディレイロックループであって、前記遅延経路上の前記内部クロック信号の伝達を制御するスイッチング手段と、  
前記半導体デバイスの作動信号及び非作動信号に応答して前記スイッチング手段を選択的にオンさせる制御手段とを備えてなるレジスタ制御ディレイロックループ。

【請求項16】 請求項15に記載のレジスタ制御ディレイロックループにおいて、  
前記遅延経路は、  
前記外部クロック信号の立下りエッジ及び立上りエッジに응答して内部クロック信号を形成するクロックバッファリング手段と、  
前記内部クロック信号を遅延させる遅延手段と、  
前記遅延された内部クロック信号に응答してDLLロック信号を駆動する駆動手段とを備えていることを特徴とするレジスタ制御ディレイロックループ。

【請求項17】 請求項15に記載のレジスタ制御ディレイロックループにおいて、  
前記スイッチング手段は、前記制御手段からのイネーブル信号に응答するロジック回路であることを特徴とするレジスタ制御ディレイロックループ。

【請求項18】 請求項15に記載のレジスタ制御ディレイロックループにおいて、  
前記制御手段は、前記遅延経路と連結され、プルアップ手段及びプルダウン手段を有し、前記半導体デバイスが動作モードにある場合、前記プルアップ手段が前記遅延経路を作動させることを特徴とするレジスタ制御ディレイロックループ。

【請求項19】 請求項18に記載のレジスタ制御ディレイロックループにおいて、  
前記制御手段は、メモリバンクアドレス信号及びビットラインプリチャージ信号を入力され、前記遅延経路上のノードをリセットさせることを特徴とするレジスタ制御ディレイロックループ。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】この発明は、半導体回路技術に関し、特に、ディレイロックループ(delay-locked loop: DLL)に関し、より詳細には、レジスタ制御ディレイロックループ(register-controlled DLL)に関する。

【0002】

【従来の技術】通常、システムや回路において、クロック信号は、動作タイミングを合わせるための基準信号として用いられており、エラーなしに高速動作させることを保証するためにも用いられる。外部回路から入力されるクロックが内部回路で用いられる場合、内部回路による時間遅延(クロックスキュー(clock skew))が発生するが、そのような時間遅延を補償して、内部クロックが外部クロックと同じ位相を有するようにするために、DLLが用いられている。

【0003】一方、DLLは、従来用いられてきたフェイズロックループ(PLL)に比べて、雑音(noise)の影響をあまり受けないという長所があつて、DDR-SDRAM(Double Data Rate Synchronous DRAM)を始めとする同期式半導体メモリ等の半導体デバイスで広く用いられており、その中でもレジスタ制御DLL(register-controlled DLL)が最も一般的に用いられている。

【0004】添付の図面中、図8は、従来の技術に係るDDR-SDRAMのレジスタ制御DLLのブロック線図である。図8を参照しながら説明すると、従来の技術に係るDDR-SDRAMのレジスタ制御DLLは、反転外部クロック/ $\text{clk}$ を入力として外部クロック $\text{clk}$ の立下りエッジに同期された内部クロック $\text{fall\_clk}$ を生成する第1クロックバッファ11と、外部クロック $\text{clk}$ を入力として外部クロック $\text{clk}$ の立上りエッジに同期された内部クロック $\text{rise\_clk}$ を生成する第2クロックバッファ12と、外部クロック $\text{clk}$ の立上りエッジに同期された内部クロック $\text{rise\_clk}$ を $1/n$ ( $n$ は正の整数であり、典型的には $n=8$ )に分周して、遅延監視クロック信号 $\text{dly\_in}$ 及び基準クロック信号 $\text{ref}$ を出力するクロック分周器13と、外部クロック $\text{clk}$ の立下りエッジに同期さ

れた内部クロックfall\_clkを入力とする第1遅延ライン14と、外部クロックclkの立上りエッジに同期された内部クロックrise\_clkを入力とする第2遅延ライン15と、遅延監視クロックdly\_inを入力とする第3遅延ライン16と、第1、第2、第3の遅延ライン14、15、16の遅延量を決定するためのシフトレジスタ17と、第1遅延ライン14の出力ifclkを受けてDLLクロックfclk\_dllを生成する第1DLLドライバ20と、第2遅延ライン15の出力irclkを受けてDLLクロックrclk\_dllを生成する第2DLLドライバ21と、第3遅延ライン16の出力feedback\_dlyを入力としてクロック信号feedback\_dlyが実際のクロック信号伝搬経路と同じ遅延を被るように構成された遅延モデル回路22と、遅延モデル22の出力feedbackと基準クロック信号refの位相とを比較する位相比較器19と、位相比較器19から出力された制御信号ctrlにตอบสนองしてシフトレジスタ17のシフト方向を制御するためのシフト制御信号SR、SL及びディレイロック(delay locking)がなされたことを表すディレイロック信号dll\_lockbを出力するシフト制御器18を備えて構成されている。

【0005】ここで、遅延モデル22は、ダミークロックバッファ、ダミー出力バッファ、及びダミーロードを含んでおり、レプリカ回路(replica circuit)とも呼ばれる。そして、シフトレジスタ17及びシフト制御器18は、遅延調整手段23を形成し、遅延ユニット10内の第1、第2及び第3の遅延ライン14、15及び16を調整制御する。

【0006】以下、上記のように構成された従来のレジスタ制御DLLの動作について説明する。まず、第1クロックバッファ11は、反転外部クロック/cclkを受けて外部クロックclkの立下りエッジに同期された内部クロックfall\_clkを発生させ、第2クロックバッファ12は、外部クロックclkを受けて外部クロックclkの立上りエッジに同期された内部クロックrise\_clkを発生させている。クロック分周器13は、外部クロックclkの立上りエッジに同期された内部クロックrise\_clkを $1/n$ 分周して、外部クロックclkのn番目のパルスごとに一回ずつ同期される基準クロックref及び遅延監視クロックdly\_inを形成している。

【0007】まず、動作の最初として、遅延監視クロックdly\_inは、遅延ユニット10の第3遅延ライン16を通過して、遅延クロックfeedback\_dlyとして出力され、この遅延クロックがさらに遅延モデル22を経て遅延されて、別の遅延クロックfeedbackとして出力される。

【0008】一方、位相比較器19は、基準クロック信号refの立上りエッジと上記別の遅延クロックfeedbackの立上りエッジとを比較して、制御信号ctrlを生成してシフト制御器18に供給し、シフト制御器18はその制御信号ctrlにตอบสนองして、シフトレジスタ17のシフト方向を制御するためのシフト制御信号SR及びSLを出力す

る。シフトレジスタ17は、シフト制御信号SR、SLにตอบสนองして、第1、第2及び第3遅延ライン14、15及び16の遅延量を決定する。この場合、SR(shift right)が入力されれば、シフトレジスタ17を左にシフトさせ、SL(shift left)が入力されれば、シフトレジスタ17を右にシフトさせる。以後、遅延量が制御されたクロック信号feedbackと基準クロックrefとを比較しながら、二つのクロックが最小のジッタを有する瞬間、ディレイロック(delay locking)がなされ、シフト制御機18からディレイロック信号dll\_lockbが出力される。この状態で、第1及び第2のDLLドライバ20、21からは、外部クロックの立下り及び立上りとそれぞれ同じ位相を有するDLLクロックfclk\_dll及びrclk\_dllが得られる。

【0009】一旦、位相ロック状態に入ると、DLLクロックは、リフレッシュやパワーダウンモードである場合を除いては、図9に示すように、トグリング(toggling)(反転動作)をし続けるために、無用な電流の消耗をもたらした。特に、高周波動作の際に、電流の消耗が増加するという問題点があった。図9において、ACTは作動指令信号、WTは書き込み指令、PREはプリチャージ指令、RDは読出し指令をそれぞれ表す。図9は、以上の命令の有無に無関係に、DLLクロックがトグリングし続ける状態を示している。

【0010】他方、半導体メモリの周辺回路との関係においては、通常、クロック信号のスロープ(slope)を保持するために、図10に示すように、多段の中継器(repater)1が設けられているが、中継器1は、そのサイズが大きいため、比較的大きな電流の消耗を来す。典型的には、10個の中継器があれば、10mA程度の電流が消耗される。したがって、DLLクロックが続けてトグリングすれば、周辺回路での電流の消耗も増加する。

【0011】

【発明が解決しようとする技術的な課題】そこで、この発明は、前記従来の技術の問題点に鑑みてなされたものであって、DLLクロックの無用なトグリングによる電流の消耗を減らすことができるレジスタ制御ディレイクロックループ及びそれを備えた半導体デバイスを提供することを目的とする。

【0012】

【課題を解決するための手段】上記の技術的な課題を達成するためのこの発明の一側面によれば、レジスタ制御ディレイクロックループと、そこから出力されたDLLクロックを用いる内部回路を備えた半導体デバイスとにおいて、前記半導体デバイスに対する作動信号又は非作動信号にตอบสนองして、前記内部回路に印加される前記DLLクロックをイネーブルさせたりディスエーブルさせたりするクロックイネーブル信号を生成するための手段を備えてなることを特徴とするレジスタ制御ディレイクロックループが提供される。

【0013】そして、この発明の他の側面によれば、半導体デバイスのレジスタ制御ディレイロックアップにおいて、外部クロックのクロックエッジに同期された内部クロック、遅延監視クロック及び基準クロックを生成する内部クロック生成手段と、前記遅延監視クロックに実際の内部クロック経路の遅延条件を反映させる遅延モデルと、前記遅延モデルの出力信号と前記基準クロックの位相とを比較する位相比較手段と、前記位相比較手段の比較結果にตอบสนองして前記分周クロックと前記内部クロックの遅延量を制御するための遅延調整手段と、遅延量が制御された前記内部クロックを入力としてDLLクロックを生成するためのDLLクロック駆動手段と、前記半導体デバイスに対する作動信号又は非作動信号にตอบสนองしてDLLクロックをイネーブルさせたりディスエーブルさせたりするためのイネーブル信号を生成するDLLクロックイネーブル信号生成手段と、前記内部クロック生成手段と前記遅延調整手段との間に設けられ、前記DLLクロックイネーブル信号にตอบสนองして前記内部クロックを前記遅延調整手段に選択的に伝達するクロック制御手段とを備えることを特徴とする半導体デバイス用のレジスタ制御ディレイロックアップが提供される。

【0014】また、この発明のもう一つの側面によれば、半導体デバイスにおけるレジスタ制御ディレイロックアップにおいて、外部クロックのクロックエッジに同期された内部クロック、遅延監視クロック及び基準クロックを生成するための内部クロック生成手段と、前記遅延監視クロックに実際の内部クロック経路の遅延条件を反映させるための遅延モデルと、前記遅延モデルの出力信号と前記基準クロックの位相とを比較する位相比較手段と、前記位相比較手段の比較結果にตอบสนองして、前記分周クロックと前記内部クロックの遅延量を制御するための遅延調整手段と、遅延量が制御された前記内部クロックを入力としてDLLクロックを生成するためのDLLクロック駆動手段と、前記半導体デバイスに対する作動信号又は非作動信号にตอบสนองして前記DLLクロック駆動手段をイネーブルさせたりディスエーブルさせたりするためのクロックイネーブル信号を生成する手段とを備えてなる半導体デバイス用のレジスタ制御ディレイロックアップが提供される。

【0015】この発明は、DLLクロックをイネーブルさせたりディスエーブルさせたりするためのクロックイネーブル信号を生成する回路を設けることによって、DLLクロック信号が必要な区間に限ってトグリグするようにしている。すなわち、半導体デバイスにおいて、DLLクロックが使用されない非作動状態では、DLLクロックをマスキングして、DLLクロックの無用なトグリグによる電流の消耗を大きく減らすことができる。

【0016】

【発明の実施の形態】以下、この発明の最も好ましい実

施例を図面を参照しながら説明する。

【0017】図1は、この発明の一実施例に係るDDR-SDRAMのレジスタ制御DLLのブロック線図である。図1を参照すれば、この実施例に係るDDR-SDRAMのレジスタ制御DLLは、第1クロックバッファ41、第2クロックバッファ42、クロック分周器43、位相比較器49、遅延ユニット40、遅延モデル52、第1DLLドライバ50、第2DLLドライバ51を備え、シフトレジスタ47及びシフト制御器48により形成される遅延調整ユニット53と、第1、第2、第3の遅延ライン44、45、46を含む遅延ユニット40により構成されており、前記図8に示した従来のDDR-SDRAMのレジスタ制御DLLの基本的な構成に従っている。したがって、これらの構成関係に関する詳細な説明は、省略する。

【0018】ただし、この実施例に係るDDR-SDRAMのレジスタ制御DLLは、DLLクロックイネーブル信号dll\_enを生成するDLLクロックイネーブル信号発生器54と、第1及び第2のクロックバッファ41及び42と第1及び第2の遅延ライン44及び45の間の経路上に設けられDLLクロックイネーブル信号dll\_enにตอบสนองして内部クロックfall\_clk、rise\_clkを選択的にオン/オフさせる第1及び第2のクロック制御部54及び55とを、さらに備えている。DLLクロックイネーブル信号発生器54で生成されるDLLクロックイネーブル信号dll\_enは、素子の動作状態に応じて、DLLクロックclk\_dllをイネーブルしたりディスエーブルしたりする役割をし、この実施例ではハイレベルを作動化状態として用いる。

【0019】図2は、前記図1のDLLクロックイネーブル信号発生器54の回路構成を示す回路図である。図2を参照すれば、例示されたDLLクロックイネーブル信号発生器は、大きく区分すると、ドライバ部60、リセット部62及び出力部64から構成されている。

【0020】ドライバ部60は、プリチャージパルスpcgzをゲート入力とするプルアップPMOSTランジスタM1と、インバータINV1によって反転された行アドレスストローブ活性化パルスact\_raszをゲート入力とするプルダウンNMOSTランジスタM2を備えている。プルアップPMOSTランジスタM1は、供給電源とドライバ出力端n0との間に接続され、プルダウンNMOSTランジスタM2は、接地電源とドライバ出力端n0との間に接続されている。ここで、行アドレスストローブ活性化パルスact\_raszは、多数のバンクの中で一つのバンクでも活性化される場合に発生する信号であり、プリチャージパルスpcgzは、全てのバンク(bank)をプリチャージする場合に発生する信号である。

【0021】リセット部62は、パワーアップ信号pwruをゲート入力とするプルアップPMOSTランジスタM3により構成される。プルアップPMOSTランジスタ

タM3は、供給電源とドライバ出力端n0との間に接続されている。

【0022】出力部64は、二つのインバータINV2及びINV3で構成された反転ラッチと、反転ラッチの出力信号をバッファリングしてDLLクロックイネーブル信号dll\_enを出力するためのインバータINV4及びINV5で構成されている。

【0023】図3及び図4は、前記図1の第1クロック制御部55のそれぞれ別の回路構成例を示す。図3を参照すれば、第1クロック制御部55は、第1クロックバッファ41から出力された内部クロックfall\_clkとDLLクロックイネーブル信号dll\_enとを入力とするNANDゲートNDと、NANDゲートNDの出力を反転させるインバータINV6で構成されている。図4を参照すれば、第1クロック制御部55は、DLLクロックイネーブル信号dll\_enを入力とするインバータINV7と、DLLクロックイネーブル信号dll\_en及びその反転信号に応答して内部クロックfall\_clkをスイッチングするトランスファゲートTGで構成されている。

【0024】上記図3及び図4に例示した第1クロック制御部55の回路は、いずれも、DLLクロックイネーブル信号dll\_enがハイレベル（作動化状態）である場合にのみ内部クロックfall\_clkを通過させる構成である。第2クロック制御部56の場合も、上記第1クロック制御部55の場合と同様に構成することができる。

【0025】図5は、図2に内部回路構成を例示したDLLクロックイネーブル信号発生器54の入出力信号のタイミング図である。図5を参照すれば、最初に、電源がメモリに印加され、パワーアップ信号pwrup（図2）がローレベルからハイレベルに立ち上がれば、プルアップPMOSTランジスタM3がターンオンされ、ドライバ出力端n0を供給電源レベルに引き上げて、出力部64を介して極性が反転されて、論理レベルローのDLLクロックイネーブル信号dll\_enが出力される。その後、パワーアップ信号pwrupが再び論理レベルハイに遷移されるが、この場合、反転ラッチに保持された値が続けて出力されるため、DLLクロックイネーブル信号dll\_enは、論理レベルローの状態を保持することになる。

【0026】この状態でバンク作動信号が入力されて、行アドレスストローブ活性化パルスact\_raszがレベルローに遷移されれば、プルダウンNMOSTランジスタM2がターンオンされ、ドライバ出力端n0を放電させることになり、これによって、DLLクロックイネーブル信号dll\_enが論理レベルハイに遷移される。

【0027】次に、行アドレスストローブ活性化パルスact\_raszが論理レベルハイに遷移されると、出力部64のラッチに保持された値を続けて出力して、DLLクロックイネーブル信号dll\_enは、ハイレベルを維持することになる。その後、読出し指令や書込み指令が印加されると、メモリはDLLクロックに合わせて読出し又は書

込みの動作を行う。

【0028】一方、メモリに対するアクセス動作が終了すると、非作動化信号であるプリチャージ指令が印加され、メモリのビットラインに対するプリチャージ動作を行う。この場合、プリチャージパルスpcgzはローに遷移され、これによってプルアップPMOSTランジスタM1がターンオンされて、ドライバ出力端n0を論理レベルハイに充電し、出力部64のラッチの値が論理レベルローに変わることになる。そして、プリチャージパルスpcgzが再び論理レベルハイに遷移されても、ラッチに保持された論理レベルローの値が出力され続けるために、DLLクロックイネーブル信号dll\_enはローの非作動化状態を維持することになる。すなわち、DLLクロックイネーブル信号dll\_enは、メモリに対する作動指令と非作動指令との間の区間でのみクロックを供給させる。

【0029】図6は、前記図1に示したDDR-SDRAMのレジスタ制御DLLのタイミング図である。図6を参照すれば、まずDLLクロックイネーブル信号dll\_enの作動指示の如何とは関係なく、クロック分周器43、位相比較器49、シフト制御器48、シフトレジスタ47、遅延モデル52で構成されたループは、続けて動作を行って、遅延量が制御されたクロックfeedback\_dlyを出力し続ける。

【0030】この場合、メモリが非作動状態、すなわち、読出しや書込みの動作を行わない場合には、DLLクロックイネーブル信号dll\_enが非作動指示状態になって、第1及び第2のクロック制御部54及び55がそれぞれ内部クロックfall\_clk及びrise\_clkを遮断するために、第1及び第2のDLLドライバ50及び51の出力が制限される。

【0031】一方、メモリを作動させる作動指令ACTが印加されると、DLLクロックイネーブル信号dll\_enが作動指示レベルを呈し、これによって、第1及び第2のクロック制御部54及び55がそれぞれ内部クロックfall\_clk及びrise\_clkを通過させて、それぞれ第1及び第2の遅延ライン44及び45に伝達することによって、第1及び第2のDLLドライバ50及び51からそれぞれDLLクロックfclk\_dll及びrclk\_dllが出力され、メモリは次いで印加される読出し指令RDによって、読出し動作を行う。その後、メモリに対するアクセスが完了し、プリチャージ指令PREが印加されると、これにตอบสนองして、DLLクロックイネーブル信号dll\_enが再び非作動指示レベルを呈し、これによって、第1及び第2のクロック制御部54及び55がそれぞれ内部クロックfall\_clk及びrise\_clkを再び遮断し、次の作動指令が印加されるまで、DLLクロックfclk\_dll及びrclk\_dllの出力が制限される。

【0032】以上のように、動作するこの実施例に係るDDR-SDRAMのレジスタ制御DLLは、メモリに対する作動指令と非作動指令との間の区間でのみDLL



クロックをイネーブルし、残りの区間ではDLLクロックをディスエーブルして、無電流の消費を最小限にする。また、この実施例によれば、第1及び第2の遅延ラインをそれぞれ通過するクロックによる電流の消費も低減することができる。

【0033】図7は、この発明の他の実施例に係るDDR-SDRAMのレジスタ制御DLLのブロック線図である。図7を参照すれば、この実施例に係るDDR-SDRAMのレジスタ制御DLLは、前述の実施例のように、基本的なレジスタ制御DLLの構成に従っている。ただし、DLLクロックイネーブル信号発生器90が第1及び第2のDLLドライバ50及び51の前端に配置され、DLLクロックイネーブル信号dll\_enは、図1におけるような別途のクロック制御部55、56を介さず、直接に第1及び第2のDLLドライバ50及び51をイネーブルしたりディスエーブルしたりする構成となっている点が、図1の場合と異なる。

【0034】この場合、第1及び第2のDLLドライバ50及び51のプルアップ端及びプルダウン端にそれぞれDLLクロックイネーブル信号dll\_enにより制御されるスイッチを追加すれば良い。

【0035】この実施例に係るDDR-SDRAMのレジスタ制御DLLは、前記図6に示したのと同様の動作をする。すなわち、メモリが非作動状態である場合は、DLLクロックイネーブル信号dll\_enがローレベルを呈するために、第1及び第2のDLLドライバ50及び51がディスエーブルされて、DLLクロックclk\_dll及びrclk\_dllの出力が制限され、メモリが作動状態である場合は、DLLクロックイネーブル信号dll\_enがハイレベルを呈するために、第1及び第2のDLLドライバ50及び51がイネーブルされて、DLLクロックclk\_dll及びrclk\_dllが出力される。

【0036】この場合、前述の実施例と比較して、第1及び第2の遅延ライン44及び45をそれぞれ通過するクロックによる電流の消費は低減することはできないが、DLLクロックの無電流の消費を抑制することによって、その分だけ電流の消費を低減することができる。

【0037】この発明のさらに別の実施例としては、メモリの周辺回路の入口にDLLクロックイネーブル信号発生器と、DLLクロックイネーブル信号dll\_enに反応してDLLクロックを選択的にオン/オフするクロック制御部(図1を参照)を配置することができる。DLLクロックイネーブル信号発生器をDLL回路に含めた場合が電流の消費を低減することに対してより効果的であるが、このように周辺回路の入口にDLLクロックイネーブル信号発生器とクロック制御部を配置する場合にも、周辺回路の中継器で消費される電流を大きく低減することができる。

【0038】また、この発明のDLLクロックイネー

ブル信号発生器は、必要に応じて、読出し動作時にのみDLLクロックがトグルングするように制御することができる。すなわち、読出し動作の際にのみDLLクロックを用いる素子の場合、読出し命令を最短経路で受け取ってDLLクロックをイネーブルさせて、バースト動作(burst operation)が終わるか、読出し状態ではない他の状態になる場合、DLLクロックをディスエーブルさせる必要がある。この場合、前記図2に示したDLLクロックイネーブル信号発生器で、インバータINV1の入力で行アドレスストローブ活性化パルスact\_raszの代わりに読出し指令信号Rdbとして使用すればよい。読出し指令信号Rdbは、指令バッファ(command buffer)の出力信号を組み合わせて作った作動指令信号である。一方、この場合、データがデータ出力バッファを通過する時点 considering、DLLクロックをディスエーブルさせるように設計すべきであり、メモリ内で読出し動作を行う間には、いかなる信号が印加されても、DLLクロックイネーブル信号dll\_enはローレベルを呈してはいけない。このことは、前記図3~4の構成の場合においても同様である。

【0039】なお、この発明は、上記の実施例に限られるものではない。この発明の趣旨から逸脱しない範囲内で、多様に変更実施することが可能である。例えば、上述した実施例では、DDR-SDRAMのレジスタ制御DLLを一例として説明したが、この発明のレジスタ制御DLLは、他の同期式半導体メモリやその他の同期式ロジックにも適用できる。また、上述した実施例では、作動信号に行アドレスストローブ活性化パルス又は読出し指令信号を用い、非作動信号にプリチャージパルスを用いる場合を一例として説明したが、この発明は、作動信号に作動指令、列アドレスストローブ信号、書込みイネーブル信号などを用いることができ、非作動信号に他の信号を用いる場合にも適用することができる。

【0040】

【発明の効果】この発明によれば、無電流の消費を最小限にして、低電力素子の開発に大きく寄与すると期待される。

【図面の簡単な説明】

【図1】 この発明の一実施例に係るDDR-SDRAM用のレジスタ制御DLLのブロック線図である。

【図2】 図1のDLLクロックイネーブル信号発生器の回路構成を例示する回路図である。

【図3】 図1の第1クロック制御部または第2クロック制御部の回路構成の一例を示す回路図である。

【図4】 図1の第1クロック制御部または第2クロック制御部の回路構成の他の例を示す回路図である。

【図5】 図2のDLLクロックイネーブル信号発生器の入出力信号の波形を示すタイミング図である。

【図6】 図1のDDR-SDRAM用のレジスタ制御DLLにおける信号波形を示すタイミング図である。

【図7】 この発明の他の実施例に係るDDR-SDRAM用のレジスタ制御DLLのブロック線図である。

【図8】 従来技術によるDDR-SDRAM用のレジスタ制御DLLのブロック線図である。

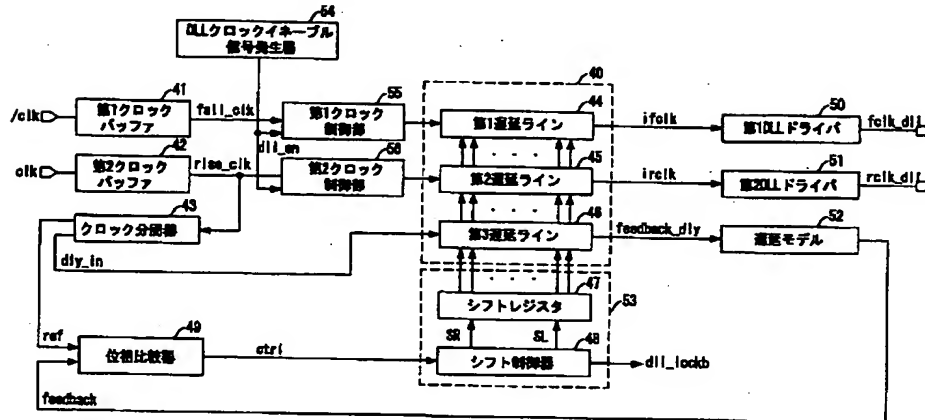
【図9】 従来技術におけるDLLクロック信号の波形図である。

【図10】 半導体メモリの周辺回路に配置される中継器の関係を示すブロック線図である。

【符号の説明】

54…DLLクロックイネーブル信号発生器、55…第1クロック制御部、56…第2クロック制御部、dll\_en…DLLクロックイネーブル信号。

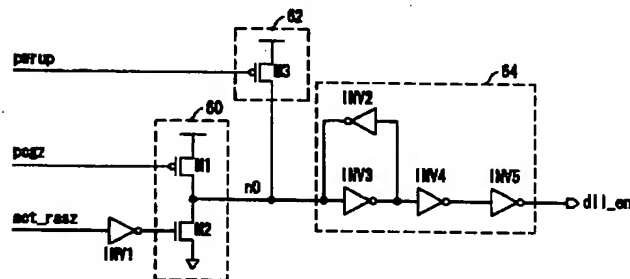
【図1】



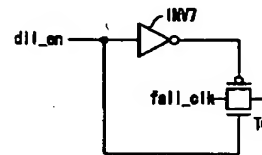
【図3】



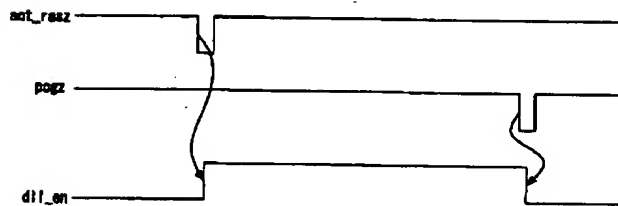
【図2】



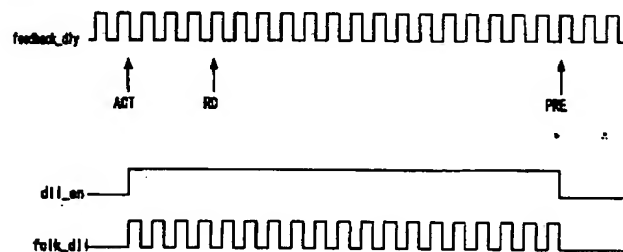
【図4】



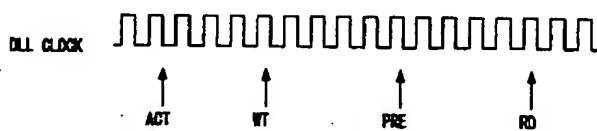
【図5】



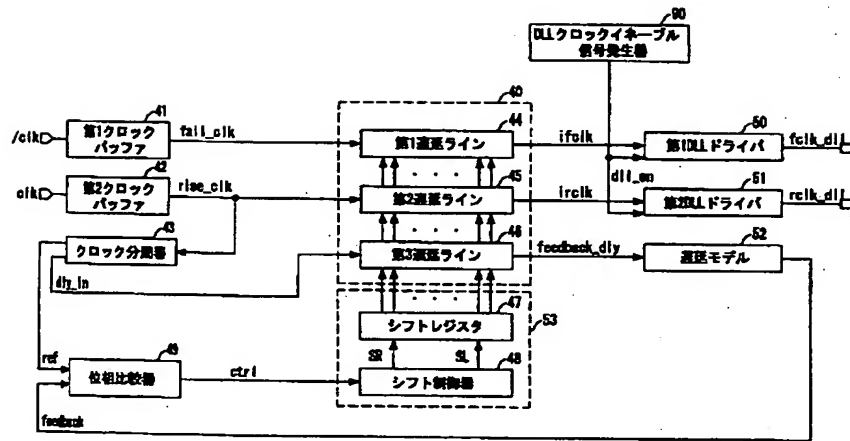
【図6】



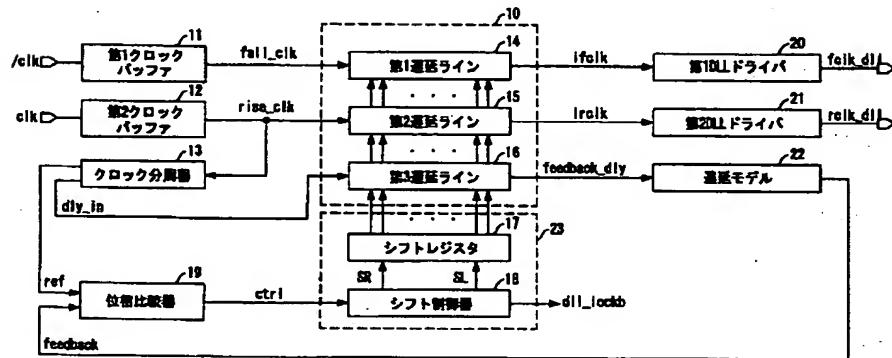
【図9】



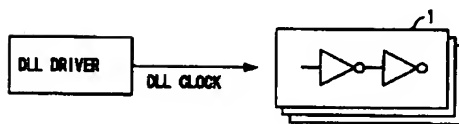
【図7】



【図8】



【図10】



フロントページの続き

(72)発明者 李 星勳  
大韓民国京畿道利川市夫鉢邑牙美里山136  
-1 株式会社ハイニックスセミコンダク  
ター内

Fターム(参考) 5B079 BA11 BB04 BC01 DD03 DD06  
DD13  
5J106 AA04 CC15 CC21 CC52 CC59  
DD24 DD39 DD43 GG10 GG14  
KK40  
5M024 AA16 BB27 BB34 DD83 GG01  
JJ03 PP01 PP02 PP03 PP07